

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0020595
Application Number

출원년월일 : 2003년 04월 01일
Date of Application APR 01, 2003

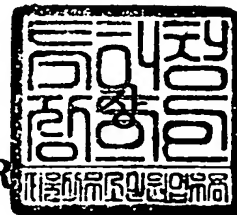
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.01
【발명의 명칭】	반도체 소자의 제조방법
【발명의 영문명칭】	METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	신주철
【성명의 영문표기】	SHIN, Ju Cheol
【주민등록번호】	700817-1069628
【우편번호】	156-090
【주소】	서울특별시 동작구 사당동 105번지 사당우성아파트 304-1002
【국적】	KR
【발명자】	
【성명의 국문표기】	이현덕
【성명의 영문표기】	LEE, Hyeon Deok
【주민등록번호】	610307-1024611
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 653번지 현대아파트 104-603
【국적】	KR
【발명자】	
【성명의 국문표기】	박인선
【성명의 영문표기】	PARK, In Sun
【주민등록번호】	610515-1551717

【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차 아파트 519-206
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍미
【성명의 영문표기】	PARK, Hong Mi
【주민등록번호】	780730-2051711
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 24번지 여자기숙사 수선 화동 110호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규 정에 의한 출원심사 를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	571,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

휘스커의 발생을 방지하여 신뢰성을 향상시킬 수 있는 반도체 소자의 제조방법이 개시되어 있다. 반도체 기판 상에 노출표면이 산화된 텅스텐 패턴을 형성한다. 상기 텅스텐 패턴의 상기 노출표면을 실리콘을 포함하는 소스로 처리하여 산화물의 이상 성장을 방지하도록 상기 노출표면 근방에 실리콘으로 패시베이션된 코팅막을 형성한다. 상기 코팅막을 갖는 반도체 기판에 대해 열처리를 진행한다. 이와 같이, 표면이 산화된 텅스텐막 표면을 실리콘 소스로 처리함으로써 휘스커가 발생할 수 있는 통로를 차단하여 후속 휘스커로 인해 발생할 수 있는 쇼트성을 불량을 방지할 수 있다.

【대표도】

도 3c

【명세서】**【발명의 명칭】**

반도체 소자의 제조방법(METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE)

【도면의 간단한 설명】

도 1은 일반적인 반도체 소자의 제조 공정으로 인해 휘스커가 발생한 텅스텐막의 주사 전자 현미경(Scanning Electron Microscope;SEM) 사진이다.

도 2는 일반적인 공정에 의한 텅스텐 패턴을 갖는 반도체 소자의 단면 사진이다.

도 3a 내지 도 3c는 본 발명의 실시예에 의한 텅스텐 패턴의 처리방법을 나타낸 단면도들이다.

도 4a 내지 도 4b는 본 발명의 비교예에 의한 텅스텐 패턴의 처리방법을 나타낸 단면도들이다.

도 5a 내지 도 5g는 본 발명의 실시예의 텅스텐 패턴의 처리방법을 사용한 실험예 1에 따른 반도체 소자의 제조방법을 나타낸 단면도들이다.

도 6a 내지 도 6g는 본 발명의 실시예의 텅스텐 패턴의 처리방법을 사용한 실험예 2에 의한 반도체 소자의 제조방법을 나타낸 단면도들이다.

도 7a는 본 발명의 실시예에 의해 형성된 텅스텐 패턴 표면의 주사 전자 현미경(Scanning Electron Microscope;SEM) 사진이다.

도 7b는 본 발명의 비교예에 의해 형성된 텅스텐 패턴의 표면의 주사 전자 현미경(Scanning Electron Microscope;SEM) 사진이다.

<도면의 주요 부분에 대한 부호의 설명>

125a : 휘스커 225a : 휘스커

300 : 기관 315 : 모노실란 기체

320 : 텅스텐 패턴 325 : 텅스텐 산화막

348 : 코팅막 400 : 기관

420 : 텅스텐 패턴 425 : 텅스텐 산화막

425a : 휘스 500 : 기관

510 : 도핑된 폴리실리콘막 510a : 도핑된 폴리실리콘막 패턴

515 : 모노실란 기체 520 : 텅스텐막

520a : 텅스텐막 패턴 525 : 제1 산화막

530 : 필드 영역 538 : 게이트 패턴

540 : 포토레지스트 패턴 545 : 제2 산화막

548 : 코팅막 550 : 소오스/드레인 영역

555 : 게이트 스페이서 560 : 층간 절연막

565 : 개구부 570 : 콘택

600 : 기관 610 : 제1 층간절연막

615 : 모노실란 기체 620 : 텅스텐막

625 : 제1 산화막 638 : 비트라인

640 : 포토레지스트 패턴 645 : 제2 산화막

648 : 코팅막 655 : 비트라인 스페이서

660 : 제2 층간절연막 665 : 개구부

670 : 콘택 플러그

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <31> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 텅스텐으로 이루어진 패턴을 갖는 반도체 소자의 제조방법에 관한 것이다.
- <32> 대량의 정보를 보다 빠르게 처리하게 위해 고집적화된 반도체 소자가 요구되되면서 반도체 소자의 디자인 룰(design rule)은 급속도로 줄어들고 있다. 이에 따라, 반도체 소자에 포함되는 배선의 간격 및 배선들 사이의 간격 등이 더욱 미세해지며, 상기 배선으로 형성되는 도전성 패턴이나 라인들의 저항이 현저하게 증가되고 있다. 그러나, 대량의 정보를 보다 빠르게 처리하기 위해서는 라인들의 전기적 저항을 줄여 동작 속도를 향상시키는 것이 매우 중요하다. 따라서, 저저항을 갖는 도전 물질로서 반도체 소자의 배선을 형성하는 것이 요구되고 있다.
- <33> 일반적으로, 반도체 공정의 형성되는 게이트 전극 또는 비트 라인 등과 같은 도전성 패턴은 폴리실리콘 또는 금속 실리사이드 물질로 형성해 왔다. 그러나, 현재 반도체 소자의 발전 추세에 비추어 볼 때, 상기 폴리실리콘 또는 금속 실리사이드 물질은 저항이 비교적 높은 것으로 판단된다. 따라서, 최근에는 상기 폴리실리콘 또는 금속 실리사이드 물질보다 저저항을 가지면서, 안정적으로 공정을 수행할 수 있는 텅스텐을 사용하여 상기 도전성 패턴을 형성하는 공정이 개발되고 있다.

- <34> 일반적으로, 텅스텐을 이용한 반도체 소자를 제조하는 공정은 다음과 같다. 반도체 기판상에 텅스텐막을 형성하고, 상기 텅스텐막 상에 포토레지스트를 도포한 후, 통상의 사진 공정(lithography)에 의해 상기 텅스텐막의 일부 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <35> 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 텅스텐막을 식각하여 텅스텐막 패턴을 형성한다. 상기 텅스텐막 패턴 상에 남아있는 포토레지스트 패턴을 제거한다. 이때, 상기 포토레지스트 패턴을 제거하는 공정은 통상의 에싱(ashing) 및 스트립(strip) 공정에 의해 수행할 수 있다. 통상의 패터닝 공정을 이루고 있는 식각, 에싱 및 스트립 공정을 진행하면서 상기 텅스텐막 패턴 표면은 산화되어 얇은 텅스텐 산화막(WO_x)이 형성된다. 텅스텐은 산소와 빠르게 반응하는 특성이 있어 산화되는 경향이 크므로 후속해 추가적으로 산소 분위기에서 열처리가 진행되면, 상기 텅스텐 산화막이 이상 성장하여 $W_{18}O_{49}$ 로 이루어진 휘스커(whisker)가 발생한다.
- <36> 도 1은 일반적인 반도체 소자의 제조 공정으로 인해 휘스커가 발생한 텅스텐막의 주사 전자 현미경(Scanning Electron Microscope; SEM) 사진이다.
- <37> 도 1을 참조하면, 텅스텐막 표면의 막질이 균일하지 못하고, 여러 부분에 걸쳐 방향성 없이 불규칙하게 휘스커(125a)가 자라나 있다. 상기 휘스커(125a)로 인해 불균일한 막질을 갖는 텅스텐막은 후속해 상기 텅스텐막 상에 막을 형성하는 것과 같은 공정 진행에 방해할 수 있다.
- <38> 도 2는 일반적인 공정에 의한 텅스텐 패턴을 갖는 반도체 소자의 단면 사진이다.

<39> 도 2를 참조하면, 통상적인 사진 식각 공정에 의해 텅스텐으로 이루어진 패턴을 형성하면, 상기 사진 식각 공정으로 인해 상기 패턴 표면에는 산화막이 형성된다. 산화물 또는 질화물을 이용하여 상기 패턴의 측면에 스페이서를 형성하면, 상기 패턴 표면에 형성되어 있던 텅스텐 산화물로 이루어진 산화막이 상기 스페이서가 형성되는 동안 휘스커(225a)로 성장하게 된다.

<40> 즉, 텅스텐 산화물이 형성되어 있는 상태에서, 계속하여 일련의 열처리 공정들을 진행하면, 상기 텅스텐 산화물은 주변의 산소와 반응하여 비이상적으로 성장하여 돌출된다.

<41> 그 결과 생성된 휘스커는 인접하는 도전성 패턴과 전기적으로 접촉하여 치명적인 동작 불량을 유발하며, 오류를 발생시켜 반도체 소자의 신뢰성을 저하시킨다.

【발명이 이루고자 하는 기술적 과제】

<42> 따라서, 본 발명의 제1 목적은 텅스텐 패턴의 노출표면을 실리콘 소스로 처리함으로써 후속에 휘스커가 발생할 수 있는 원인을 차단하여 신뢰성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공하는 것이다.

<43> 본 발명의 제2 목적은 텅스텐 패턴의 노출표면으로 실리콘 소스를 제공함으로써 코팅막을 형성하여 휘스커의 발생을 저지시켜 인접한 도전 패턴과 쇼트성 불량이 발생하는 것을 방지함으로써 신뢰성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <44> 상기 제1 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 노출표면이 산화된 텅스텐 패턴을 형성하는 단계, 상기 텅스텐 패턴의 상기 노출표면을 실리콘을 포함하는 소스로 처리하여 산화물의 이상 성장을 방지하도록 상기 노출표면 근방에 실리콘으로 패시베이션된 코팅막을 형성하는 단계 및 상기 코팅막을 갖는 반도체 기판에 대해 열처리를 진행하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.
- <45> 상기 제2 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 도포된 텅스텐막 상에 상기 텅스텐막의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 노출된 상기 텅스텐막을 선택적으로 식각하여 텅스텐 패턴을 형성하는 단계, 상기 텅스텐 패턴 상의 상기 포토레지스트 패턴을 제거하는 단계, 상기 포토레지스트 패턴을 제거하여 노출된 상기 텅스텐 패턴의 노출표면을 실리콘을 포함하는 소스로 처리하여 산화물의 이상 성장을 방지하도록 상기 노출표면 근방에 실리콘으로 패시베이션된 코팅막을 형성하는 단계 및 상기 코팅막이 형성된 반도체 기판에 대해 열처리를 진행하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.
- <46> 이와 같이, 표면이 산화된 텅스텐막 표면을 실리콘 소스로 처리함으로써 휘스커가 발생할 수 있는 통로를 차단하여 후속에 휘스커로 인해 발생할 수 있는 쇼트성을 불량을 방지할 수 있다.
- <47> 이하, 본 발명을 상세하게 설명한다.

- <48> 본 발명에 따른 반도체 소자의 제조방법을 제공하기 위해, 반도체 기판 상에 노출 표면이 산화된 텅스텐 패턴을 형성한다. 상기 텅스텐 패턴의 산화는 에칭 공정 및 열처리 공정에 의해 상기 텅스텐 패턴의 노출표면에 얇은 텅스텐 산화막(WO_x)을 형성함으로써 이루어진다.
- <49> 상기 텅스텐 패턴의 노출표면을 실리콘을 포함하는 소스로 처리하여 산화물의 이상 성장을 방지하도록 상기 텅스텐 패턴의 노출표면 근방에 실리콘으로 패시베이션된 코팅막을 형성한다.
- <50> 이때, 상기 코팅막을 형성하기 위해, 상기 텅스텐 패턴 주위의 온도를 약 300 내지 600℃로 유지하면서 상기 텅스텐 패턴의 노출표면으로 약 10 내지 1000 sccm의 유량으로 SiH_4 기체 흐름을 형성한다. 상기 SiH_4 기체 흐름에 의해 일정 온도로 상승된 상기 텅스텐 패턴의 노출표면으로 실리콘이 침투함으로써 코팅막이 형성된다.
- <51> 또한, 상기 코팅막을 형성하기 위해, 상기 실리콘을 포함하는 소스에 에너지를 가하여 상기 텅스텐 패턴 노출표면으로 실리콘 이온을 주입할 수 있다.
- <52> 이때, 상기 코팅막은 약 1 내지 100Å의 두께로 형성된다.
- <53> 상기 코팅막이 형성된 반도체 기판에 대해 약 300 내지 1100℃로 열처리를 진행하여 산화막을 형성한다.
- <54> 본 발명에 따른 반도체 소자의 다른 제조방법을 제공하기 위해, 반도체 기판 상에 도포된 텅스텐막 상에 상기 텅스텐막의 일부 영역을 노출시키는 포토레지스트 패턴을 형성한다.

- <55> 상기 포토레지스트 패턴을 식각 마스크로 이용하여 노출된 상기 텅스텐막을 선택적으로 식각하여 텅스텐 패턴을 형성한다.
- <56> 에싱 및 스트립 공정을 거쳐 상기 텅스텐 패턴 상의 상기 포토레지스트 패턴을 제거한다.
- <57> 상기 포토레지스트 패턴을 제거하여 노출된 상기 텅스텐 패턴의 노출표면에 산화물의 이상 성장을 방지하도록 상기 노출표면 근방의 실리콘으로 패시베이션된 코팅막을 형성한다.
- <58> 상기 코팅막을 형성하기 위해, 상기 텅스텐 패턴 주위의 온도를 약 300 내지 600℃로 유지하면서 상기 텅스텐 패턴의 노출표면으로 약 10 내지 1000 sccm의 유량으로 SiH_4 기체 흐름을 형성한다. 상기 SiH_4 기체는 상기 노출표면으로 침투하여 코팅막이 형성된다.
- <59> 이때, 상기 코팅막은 약 1 내지 100Å의 두께로 형성된다.
- <60> 상기 코팅막이 형성된 반도체 기판에 대해 약 300 내지 1100℃로 열처리를 진행하여 산화막을 형성한다.
- <61> 상기 반도체 기판 상에 절연막을 더 구비할 수 있다.
- <62> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <63> 실시예
- <64> 도 3a 내지 도 3c는 본 발명의 실시예에 의한 텅스텐 패턴의 처리방법을 나타낸 단면도들이다.

- <65> 도 3a를 참조하면, 반도체 기판(300) 상에 텅스텐 패턴(320)을 형성하였고, 상기 텅스텐 패턴(320)의 표면에는 얇은 텅스텐 산화막(325)이 생성되었다. 상기 텅스텐 산화막(325)은 산소 플라즈마(O_2 plasma) 처리 및 급속 열산화(Rapid Thermal Oxidation) 처리와 같은 공정에 의해 형성되었다.
- <66> 도 3b를 참조하면, 상기 텅스텐 패턴(320)의 산화된 노출표면으로 모노실란(mono-silane; SiH_4) 기체(315)를 제공하였다. 이때, 상기 텅스텐 패턴(320) 주위에 형성되는 온도는 약 300 내지 600℃로 유지되며, 약 10 내지 1000 sccm(standard cubic centimeter per minute)의 유량으로 상기 모노실란 기체를 제공하였다.
- <67> 상기 온도가 약 300℃ 미만인 경우에는 실리콘이 상기 노출표면으로 침투하지 못하고, 약 600℃를 초과하는 경우에는 산화물의 생성이 실리콘의 침투보다 더 빠르게 이루어 질 수 있다. 따라서, 약 300 내지 600℃로 조절하는 것이 바람직하다. 또한, 상기 모노실란의 유량이 약 10 sccm 미만인 경우에는 원하는 양의 실리콘이 상기 텅스텐 패턴의 노출표면의 텅스텐 산화막으로 침투하지 못할 수 있다. 따라서, 약 10 내지 1000 sccm으로 조절하는 것이 바람직하다.
- <68> 도 3c를 참조하면, 상기 제공된 기체는 상기 범위의 온도로 유지된 상기 텅스텐 패턴(320)의 노출표면으로부터 내부로 침투하여, 상기 노출표면에 실리콘으로 이루어진 코팅막(348)을 형성하였다.
- <69> 이와 같이, 실리콘의 침투에 의해 형성된 코팅막(348)이 상기 노출표면으로부터 침투하는 두께는 약 1 내지 100Å이었다. 상기 코팅막의 두께가 약 1Å 미만이면, 후속에 휘스커가 발생할 수 있다. 따라서, 상기 코팅막의 두께는 약 1 내지 100Å의 범위에서 조절하는 것이 바람직하다.

- <70> 상기 코팅막(348)이 형성된 반도체 기판에 대해 열처리를 진행하였다. 상기 열처리는 약 300 내지 1100℃의 범위에서 선택적으로 이루어 질 수 있다.
- <71> 상기 코팅막은 모노실란을 이용한 기체 흐름에 의해 형성될 수 있으며, 실리콘 소스를 이용하여 소정의 에너지를 가해 상기 텅스텐 패턴의 노출표면에 실리콘을 주입함으로써 이루어질 수 있다.
- <72> 비교예
- <73> 도 4a 내지 도 4b는 본 발명의 비교예에 의한 텅스텐 패턴의 처리방법을 나타낸 단면도들이다.
- <74> 도 4a를 참조하면, 반도체 기판(400) 상에 텅스텐 패턴(420)을 형성하였고, 상기 텅스텐 패턴(420)의 표면에는 얇은 텅스텐 산화막(425)이 생성되었다. 상기 텅스텐 산화막은 산소 플라즈마 처리 및 급속 열산화 처리와 같은 공정에 의해 형성될 수 있다.
- <75> 도 4b를 참조하면, 상기 텅스텐 산화막(425)이 형성된 텅스텐 패턴의 노출표면에 대해 열처리를 진행하였다. 상기 열처리는 약 300 내지 1100℃의 범위에서 선택적으로 이루어지며, 상기 열처리에 의해 상기 텅스텐 산화막이 성장하여 휘스커(425a)가 발생하였다.
- <76> 실험예 1
- <77> 도 5a 내지 도 5g는 본 발명의 실시예의 텅스텐 패턴의 처리방법을 사용한 실험예 1에 따른 반도체 소자의 제조방법을 나타낸 단면도들이다.
- <78> 도 5a를 참조하면, 통상의 셀로우 트렌치 분리(shallow trench isolation:STI, 이하, "STI"라고 한다.) 공정에 의해 실리콘(silicon) 기판(500)에 트렌치(trench)를 형성

하고, 상기 트렌치를 산화막으로 매립함으로써 필드 영역(530)을 형성한다. 또한, 상기 필드 영역의 형성과 동시에 상기 필드 영역(530)에 의해 복수개의 액티브 영역(미도시)이 정의된다.

<79> 상기 액티브 영역 및 필드 영역(530)이 정의된 기판(500) 상에 산화막을 형성한 후, 상기 산화막(미도시) 상에 폴리실리콘을 증착하여 폴리코팅막(미도시)을 형성한다. 상기 폴리코팅막에 고농도의 불순물을 도핑한다. 상기 도핑된 폴리코팅막(510) 상에 텅스텐을 도포하여 텅스텐막(520)을 형성한다. 상기 텅스텐막(520)은 선택적으로 도핑된 폴리코팅막 상(510)에 도포되어 후속에 접촉 저항을 감소시킴으로써 반도체 소자의 속도를 향상시킨다.

<80> 텅스텐은 산화되기 쉬운 특성을 갖고 있으므로, 공정 시간이 지체될수록, 상기 텅스텐막(520) 상부면에 산화 텅스텐으로 이루어진 제1 산화막(525)이 형성된다. 상기 제1 산화막(525)은 산화물로 이루어진 절연물질로서 반도체 소자의 동작 속도를 저하시키거나, 오작동을 유발시키는 요인으로 작용하게 된다.

<81> 도 5b를 참조하면, 상기 텅스텐막(520) 상에 포토레지스트를 도포하여 포토레지스트막을 형성한다. 상기 포토레지스트막을 사진 공정을 통해 상기 텅스텐막의 일부 영역을 노출시키도록 패터닝함으로써 포토레지스트 패턴(540)을 형성한다.

<82> 도 5c를 참조하면, 상기 포토레지스트 패턴(540)을 식각 마스크로 이용하여 노출된 텅스텐막(520)을 식각하고 순차적으로 도핑된 폴리코팅막(510) 및 산화막(미도시)을 식각한다. 따라서, 산화막 패턴(미도시), 도핑된 폴리코팅막 패턴(510a) 및 텅스텐막 패턴(520a)으로 이루어진 게이트 패턴(538)을 형성한다. 상기 게이트 패턴은 하드마스크 패턴에 의해 형성되어 질 수 있다.

- <83> 에싱 및 스트립 공정을 통해 상기 게이트 패턴(538) 상에 존재하는 포토레지스트 패턴을 제거한다.
- <84> 상기 에싱 공정은 산소 또는 오존을 이용하며, 플라즈마 상태에서 진행하므로 상기 게이트 패턴의 상부에 존재하는 텅스텐 패턴의 상부면 뿐만 아니라, 상기 게이트 전극의 측면으로 노출된 텅스텐 패턴의 노출표면에는 텅스텐 산화물로 이루어진 제2 산화막(545)이 형성된다.
- <85> 일반적으로 포토레지스트 패턴은 산소(O_2) 또는 오존(O_3)과 같은 산화제를 사용한 건식 에싱(dry ashing) 방법에 의해 제거된다. 그러나, 상기 건식 에싱 방법은 약 100°C 이상의 고온에서 산화제를 제공하여 이루어지므로 상기 게이트 전극(538)의 측벽으로 노출된 텅스텐막 패턴(520a) 측면에 산화물이 형성되게 된다. 상기 산화물이 후속에서 연속적으로 열처리되면 이상 성장하여 휘스커를 발생시키므로 후속에서 인접한 도전 패턴과 쇼트성 불량을 유발할 수 있다.
- <86> 도 5d를 참조하면, 상기 제2 산화막(545)이 형성된 텅스텐 패턴을 포함하는 게이트 패턴 상으로 모노실란(mono-silane; SiH_4) 기체(515)를 제공한다. 이때, 상기 게이트 패턴(538)이 존재하는 주위 환경이 이루고 있는 온도는 약 300 내지 600°C 로 유지되며, 약 10 내지 1000 sccm(standard cubic centimeter per minute)의 유량으로 상기 모노실란 기체를 제공한다.
- <87> 상기 제공된 기체는 상기 게이트 전극의 노출표면에 형성되어 있는 상기 제2 산화막(545)으로 침투하여, 실리콘으로 이루어진 코팅막(548)을 형성한다.

- <88> 상기 코팅막(548)에 있어서, 실리콘이 상기 게이트 전극의 노출표면으로 침투하는 침투 두께는 상기 노출표면으로부터 약 1 내지 100Å 이다.
- <89> 도 5e를 참조하면, 통상의 이온주입 공정을 통해 상기 게이트 패턴(538) 양측의 기판(500) 표면에 선택적으로 소오스/드레인 영역(550)을 형성한다.
- <90> 상기 코팅막(548)이 형성된 게이트 패턴(538)을 도포하도록 상기 반도체 기판 전면 에 산화물을 증착하여 절연막을 형성한다. 이때, 상기 산화물은 약 300 내지 1100℃의 범위에서 열을 가하며 증착된다. 따라서, 상기 게이트 패턴 중 텅스텐이 존재하는 표면에 형성되어 있는 산화막이 비이상적으로 자라 휘스커로 발전할 수 있다. 그러나, 상기 코팅막이 휘스커로 발전할 수 있는 시점을 차단하여 산화물의 성장에 의한 휘스커의 발생이 억제된다.
- <91> 상기 절연막을 이방성 식각함으로서 상기 게이트 패턴 측벽에 게이트 스페이서(555)를 형성한다.
- <92> 도 5f를 참조하면, 상기 게이트 패턴(538) 및 소오스/드레인 영역(555)으로 이루어진 트랜지스터를 포함한 기판(500) 전면 에 층간 절연막(560)을 형성한다. 상기 층간 절연막(560)의 소정 영역을 상기 게이트 전극(538) 사이의 기판(500) 상부면이 노출되도록 식각함으로써 개구부(565)를 형성한다.
- <93> 도 5g를 참조하면, 상기 개구부(565)의 측면 및 저면을 포함하여 기판(500) 전면 에 도전성 폴리실리콘을 도포하여 상기 개구부(565)를 매립하고, 통상의 화학 기계적 연마(chemical mechanical polishing; CMP, 이하, "CMP"라고 한다.) 방법으로 상기 절연막(560)의 상부면이 노출될 때까지 평탄화함으로서 콘택(contact)(570)을 완성한다.

- <94> 이와 같이, 상기 게이트 전극을 이루고 있는 텅스텐막 표면에 형성되는 산화막을 실리콘으로 처리함으로써 상기 산화막이 휘스커로 발전하는 원인을 차단할 수 있다. 따라서, 인접한 도전 패턴과 전기적으로 도통하는 쇼트성 불량 등을 방지할 수 있다.
- <95> 실험예 2
- <96> 도 6a 내지 도 6g는 본 발명의 실시예의 텅스텐 패턴의 처리방법을 사용한 실험예 2에 의한 반도체 소자의 제조방법을 나타낸 단면도들이다.
- <97> 도 6a를 참조하면, 통상의 STI 공정에 의해 기판(600)에 필드 영역(미도시) 및 복수개의 액티브 영역(미도시)을 정의한다. 상기 필드 영역 및 액티브 영역이 정의된 기판상에 게이트 산화막(미도시) 및 도핑된 폴리코팅막 패턴(미도시)으로 이루어진 게이트 전극(미도시)을 형성한다. 상기 게이트 전극의 양측 기판에 대해 통상의 이온 주입 공정에 의해 소오스/드레인 영역을 형성하고, 상기 게이트 전극 측벽에 스페이서를 형성함으로써 트랜지스터를 완성한다.
- <98> 상기 트랜지스터를 포함하여 기판 전면에 절연물질을 도포함으로써 제1 층간 절연막(610)을 형성한다. 상기 제1 층간 절연막(610) 상에 텅스텐을 도포하여 텅스텐막(620)을 형성한다.
- <99> 텅스텐은 산화되기 쉬운 특성을 갖고 있으므로, 공정 시간이 지체될수록, 상기 텅스텐막(620) 상부면에 산화 텅스텐으로 이루어진 제1 산화막(625)이 형성된다. 상기 제1 산화막(625)은 산화물로 이루어진 절연물질로서 반도체 소자의 동작 속도를 저하시키거나, 오작동을 유발시키는 요인으로 작용하게 된다.

- <100> 도 6b를 참조하면, 상기 텅스텐막(620) 상에 포토 레지스트 패턴(640)을 형성하여 상기 텅스텐막(620)의 일부 영역을 노출시킨다.
- <101> 도 6c를 참조하면, 상기 포토 레지스트 패턴(640)을 식각 마스크로 이용하여 노출된 텅스텐막(620)을 상기 제1 층간 절연막(610)의 상부면이 노출되기까지 식각한다. 따라서, 텅스텐으로 이루어진 비트라인(638)을 형성한다. 상기 비트라인은 하드마스크 패턴에 의해 형성되어 질 수 있다.
- <102> 상기 비트라인(638) 상에 잔류하는 포토 레지스트 패턴(640)을 통상의 건식 에싱 공정에 의해 제거한다. 상기 식각 공정 및 건식 에싱 공정에 의해, 상기 비트라인(638) 측벽으로 노출된 텅스텐막의 노출표면이 산화됨으로써 상기 비트라인의 노출표면에는 산화 텅스텐으로 이루어진 제2 산화막(645)이 형성된다.
- <103> 일반적으로 포토 레지스트 패턴은 산소(O_2) 또는 오존(O_3)과 같은 산화제를 사용한 건식 에싱 방법에 의해 제거된다. 그러나, 상기 건식 에싱 방법은 약 $100^{\circ}C$ 이상의 고온에서 산화제를 제공하여 이루어지므로 상기 비트라인(638)의 측벽으로 노출된 텅스텐막의 노출표면에 산화물이 형성되게 된다. 상기 산화물이 후속해 계속적으로 열처리를 받으면, 이상 성장되어 휘스커가 발생하고 상기 휘스커는 후속해 인접한 도전 패턴과 쇼트성 불량을 유발할 수 있다.
- <104> 도 6d를 참조하면, 상기 비트라인(638)의 노출표면으로 모노실란(mono-silane; SiH_4) 기체(615)를 제공한다. 이때, 상기 텅스텐으로 이루어진 비트라인 주위에 제공되는 온도는 약 300 내지 $600^{\circ}C$ 로 유지되며, 약 10 내지 1000 sccm(standard cubic centimeter per minute)의 유량으로 상기 모노실란 기체를 제공한다.

- <105> 상기 제공된 기체는 상기 범위의 온도로 유지되는 상태에서 상기 비트라인의 노출 표면에 형성되어 있는 상기 제2 산화막으로 침투하여 실리콘으로 이루어진 코팅막(648)을 형성한다. 이때, 실리콘이 상기 노출표면으로부터 내부로 침투한 침투 두께는 약 1 내지 100Å이다.
- <106> 도 6e를 참조하면, 상기 코팅막(648)이 형성된 비트라인을 포함한 제1 층간 절연막(610) 상에 실리콘 옥사이드 또는 실리콘 나이트라이드와 같은 절연물질을 증착한 후, 상기 절연물질을 이방성 식각하여 상기 비트라인(638)의 측벽에 비트라인 스페이서(655)를 형성한다. 따라서, 상기 비트라인 스페이서(655) 형성을 위해 열처리가 진행되어도 상기 비트라인 표면에 형성된 산화막은 코팅막에 의한 피닝 효과(pinning effect)에 의해 휘스커로 발전하지 않는다.
- <107> 도 6f를 참조하면, 상기 비트라인(638)을 포함한 제1 층간 절연막(610) 전면에서 제2 층간 절연막(660)을 형성한다. 상기 제2 층간 절연막(660)의 소정 영역을 통상의 사진식각 공정에 의해 식각하고 차례로 제1 층간 절연막(610)을 식각하여 상기 기판의 상부면을 노출시키는 개구부(665)를 형성한다.
- <108> 상기 개구부(665)는 인접한 비트라인(638)과 접촉할 수 있으나, 상기 비트라인(638)을 둘러싸고 있는 비트라인 스페이서(655)에 의해 절연되어 안정적으로 형성된다.
- <109> 도 6g를 참조하면, 상기 개구부(665)의 측면 및 저면을 포함하여 기판(600) 전면에서 도전 물질을 도포하여 상기 개구부(665)를 매립하고, 통상의 CMP 방법으로 상기 제2 층간 절연막(660)의 상부면이 노출될 때까지 평탄화함으로서 콘택 플러그(670)를 완성한다.

- <110> 도 7a는 본 발명의 실시예에 의해 형성된 텅스텐 패턴 표면의 주사 전자 현미경 (Scanning Electron Microscope;SEM) 사진이다.
- <111> 도 7a를 참조하면, 텅스텐막 표면의 막질은 균일한 것으로 나타났다. 상기 텅스텐 막이 산화되어 있더라도, 상기 텅스텐막 표면을 실리콘 소스로 처리함으로써 후속 공정에서 상기 텅스텐막 표면에 휘스커가 생성되지 않았다.
- <112> 도 7b는 본 발명의 비교예에 의해 형성된 텅스텐 패턴의 표면의 주사 전자 현미경 (Scanning Electron Microscope;SEM) 사진이다.
- <113> 도 7b를 참조하면, 텅스텐막 표면 전체에 걸쳐 불균일하게 휘스커가 생성되어 있는 것으로 나타났다. 즉, 일반적인 사진 식각 공정을 거치게 되면, 산화되기 쉬운 특성을 갖는 텅스텐막 표면은 산화되고, 후속예 연속적인 열처리에 의해 휘스커가 발생하게 되는 것을 확인할 수 있었다.
- <114> 실험예 1 및 2에서와 같이, 상기 게이트 패턴 및 비트라인과 같은 도전 패턴을 이루고 있는 텅스텐막의 노출표면을 실리콘 소스로 처리함으로써 코팅막을 형성하여 휘스커가 발생하는 것을 방지할 수 있다. 즉, 상기 스페이서 형성 도중에 휘스커 등이 발생하여 인접한 도전 패턴과 전기적으로 도통하는 것을 방지할 수 있다. 따라서, 상기 텅스텐으로 이루어진 패턴을 인접한 콘택 플러그 등과 완전히 차단시킬 수 있다.

【발명의 효과】

- <115> 상술한 바와 같이 본 발명에 의하면, 텅스텐으로 이루어진 막 또는 패턴을 형성함에 있어서, 표면이 산화되어 텅스텐 산화막이 존재하는 상기 막 또는 패턴의 노출표면을

실리콘 소스로 처리한다. 따라서, 상기 막 또는 패턴의 표면에는 얇은 코팅막이 형성된다.

<116> 이와 같이, 텅스텐막을 실리콘 소스로 처리함으로써, 후속예 열처리에 의해 상기 텅스텐막 표면에 산화물이 이상 성장되어 발생하는 휘스커의 발생을 방지할 수 있다.

<117> 따라서, 텅스텐으로 이루어진 패턴의 주위에 도전 패턴이 형성될 경우에도, 휘스커에 의한 쇼트성 불량 발생 위험을 감소시킬 수 있다. 즉, 반도체 소자의 신뢰성을 향상시켜 재현성을 확보할 수 있다.

<118> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 노출표면이 산화된 텅스텐 패턴을 형성하는 단계;

상기 텅스텐 패턴의 상기 노출표면을 실리콘을 포함하는 소스로 처리하여 산화물의 이상 성장을 방지하도록 상기 노출표면 근방에 실리콘으로 패시베이션된 코팅막을 형성하는 단계; 및

상기 코팅막을 갖는 반도체 기판에 대해 열처리를 진행하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 2】

제1항에 있어서, 상기 산화는 텅스텐 패턴의 노출표면에 텅스텐 산화막이 형성되어 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 3】

제1항에 있어서, 상기 산화는 에칭 공정 및 열처리 공정에 의해 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제1항에 있어서, 상기 코팅막은

상기 텅스텐 패턴의 주위 온도를 300 내지 600℃로 유지하는 단계;

상기 텅스텐 패턴의 노출표면으로 10 내지 1000 sccm의 유량으로 SiH_4 기체 흐름을 형성하는 단계; 및

상기 SiH_4 기체 흐름에 의해 실리콘이 상기 텅스텐 패턴의 노출표면으로 침투하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제1항에 있어서, 상기 열처리는 300 내지 1100℃로 진행되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제1항에 있어서, 상기 코팅막은 1 내지 100Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

제1항에 있어서, 상기 코팅막을 형성하는 단계는,

상기 실리콘을 포함하는 소스에 에너지를 가하여 상기 노출표면으로 실리콘 이온을 주입하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 8】

반도체 기판 상에 도포된 텅스텐막 상에 상기 텅스텐막의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 이용하여 노출된 상기 텅스텐막을 선택적으로 식각하여 텅스텐 패턴을 형성하는 단계;

상기 텅스텐 패턴 상의 상기 포토레지스트 패턴을 제거하는 단계;

상기 포토레지스트 패턴을 제거하여 노출된 상기 텅스텐 패턴의 노출표면을 실리콘을 포함하는 소스로 처리하여 산화물의 이상 성장을 방지하도록 상기 노출표면 근방에 실리콘으로 패시베이션된 코팅막을 형성하는 단계; 및

상기 코팅막을 포함한 반도체 기판에 대해 열처리를 진행하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 9】

제1항에 있어서, 상기 텅스텐 패턴 상의 상기 포토레지스트 패턴을 제거하는 단계는,

에싱 및 스트립에 의해 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 10】

제1항에 있어서, 상기 코팅막을 형성하는 단계는,

상기 텅스텐 패턴의 주위 온도를 300 내지 600℃로 유지하는 단계;

상기 텅스텐 패턴의 노출표면으로 10 내지 1000 sccm의 유량으로 SiH_4 기체 흐름을 형성하는 단계; 및

상기 SiH_4 기체 흐름에 의해 상기 텅스텐 패턴의 노출표면으로 실리콘이 침투하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 11】

제1항에 있어서, 상기 열처리는 300 내지 1100℃로 진행되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 12】

제1항에 있어서, 상기 코팅막은 1 내지 100Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 13】

제1항에 있어서, 상기 반도체 기판 상에 절연막을 더 구비하는 것을 특징으로 하는 반도체 소자의 제조방법.

【도면】

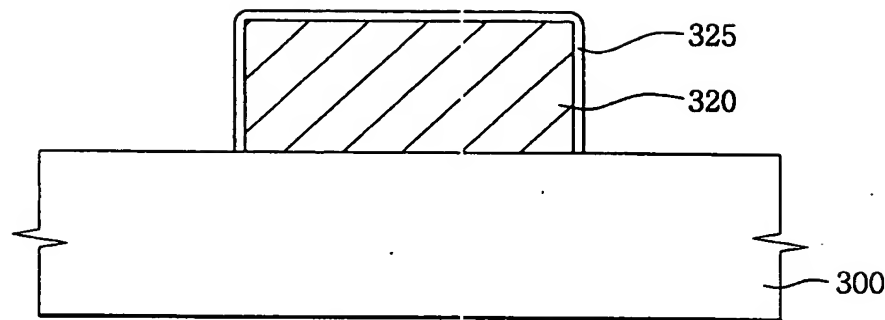
【도 1】



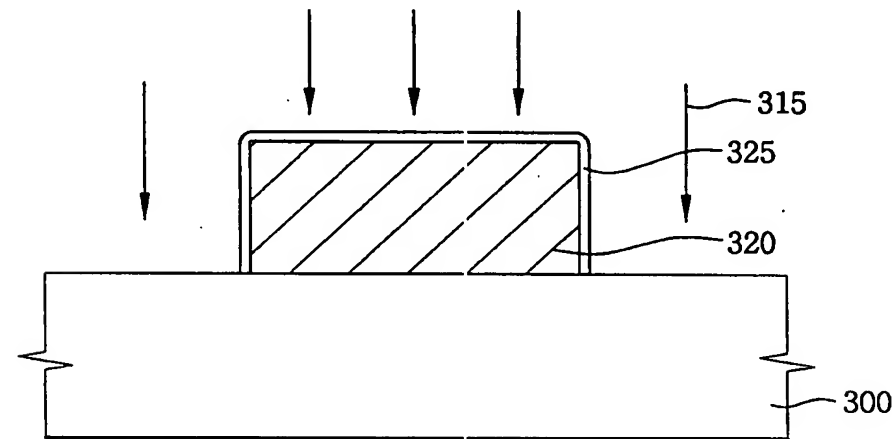
【도 2】



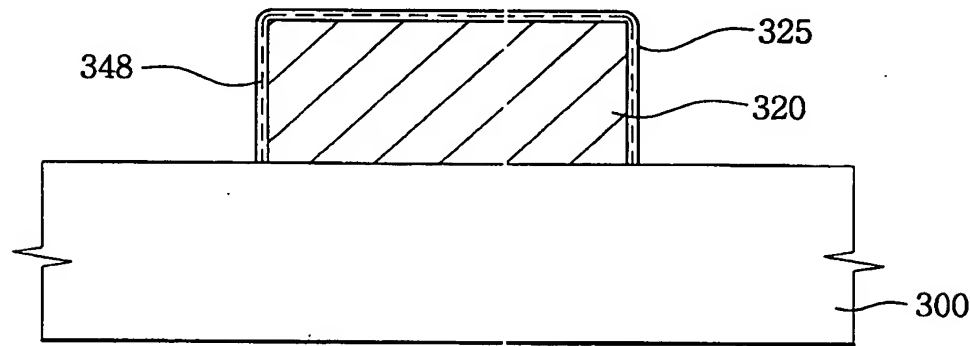
【도 3a】



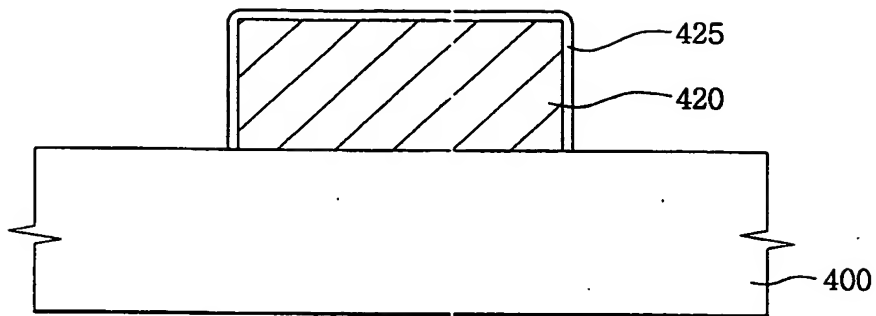
【도 3b】



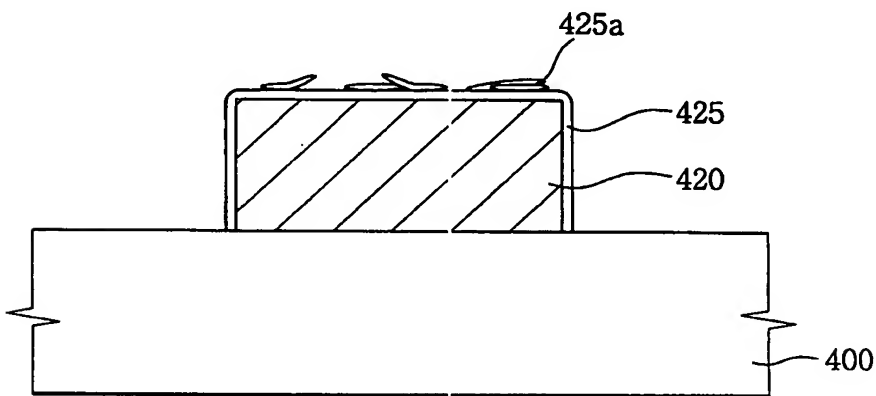
【도 3c】



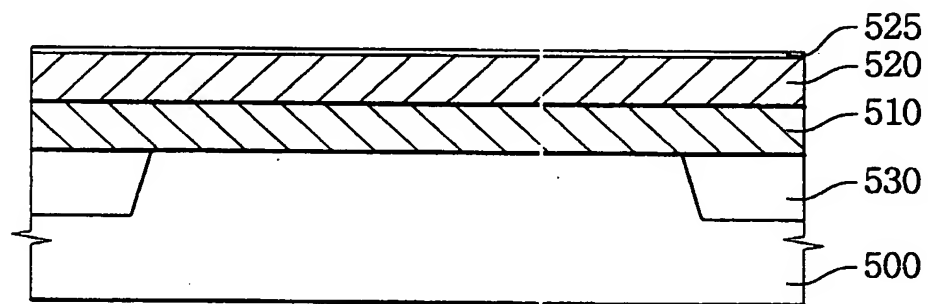
【도 4a】



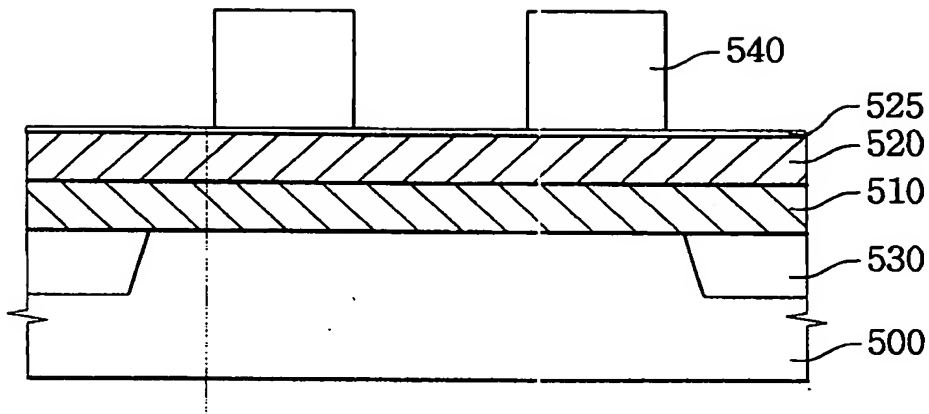
【도 4b】



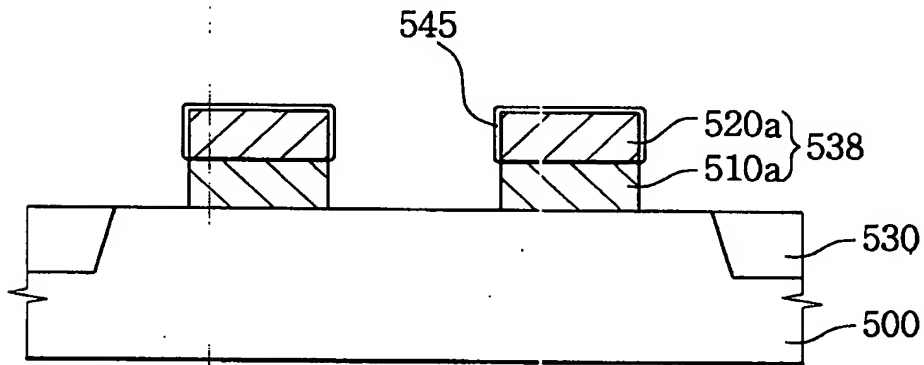
【도 5a】



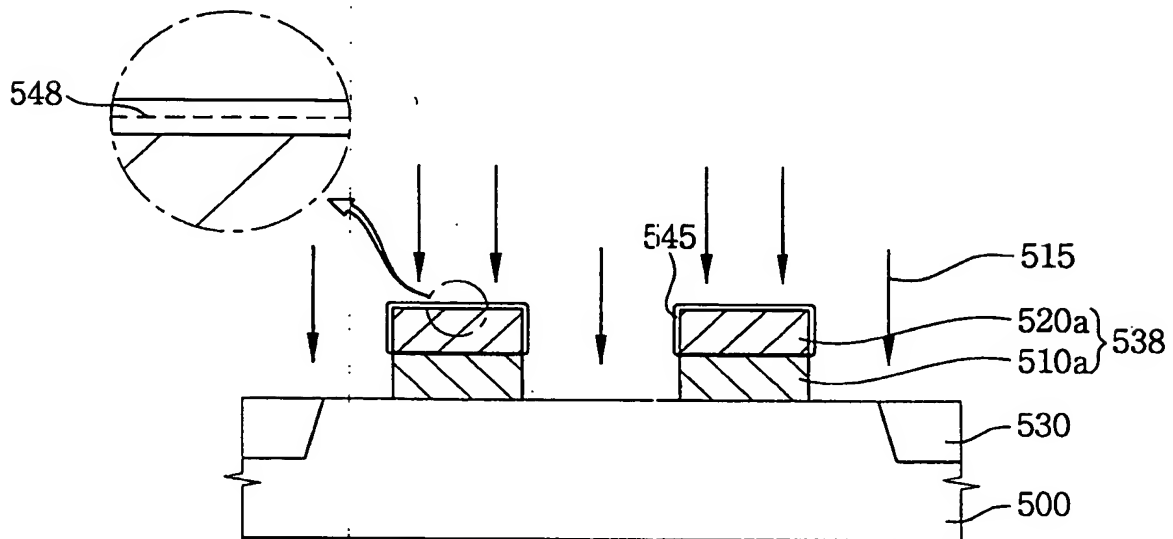
【도 5b】



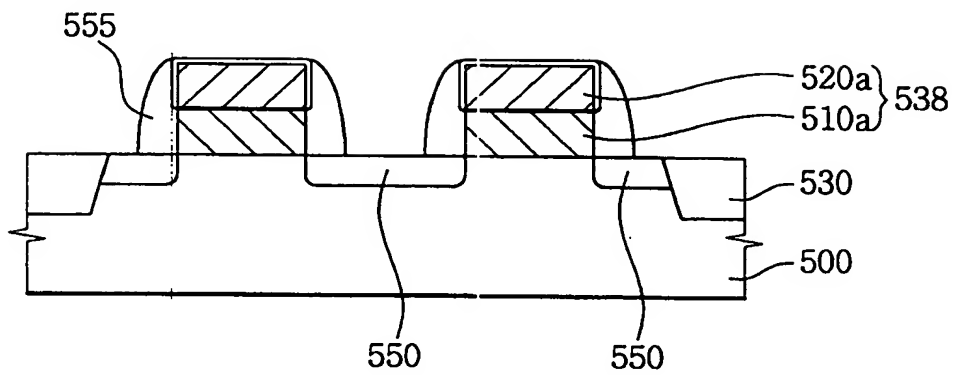
【도 5c】



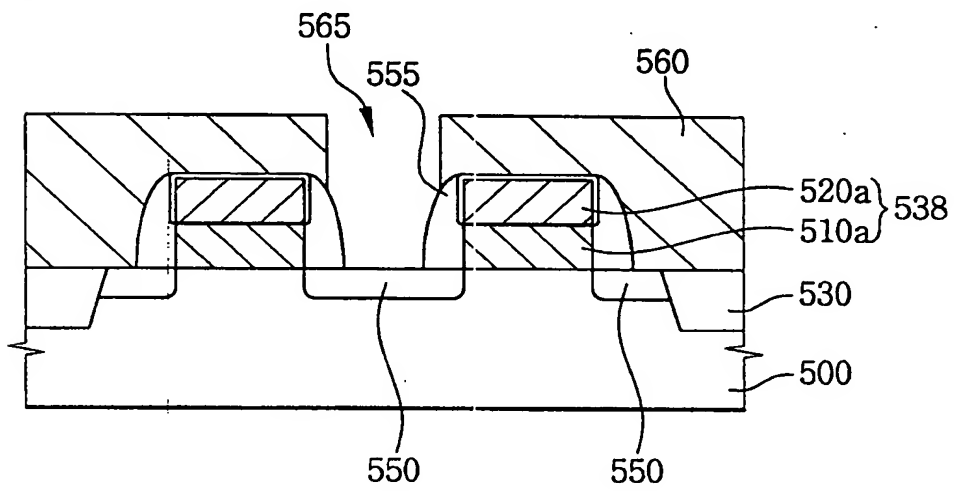
【도 5d】



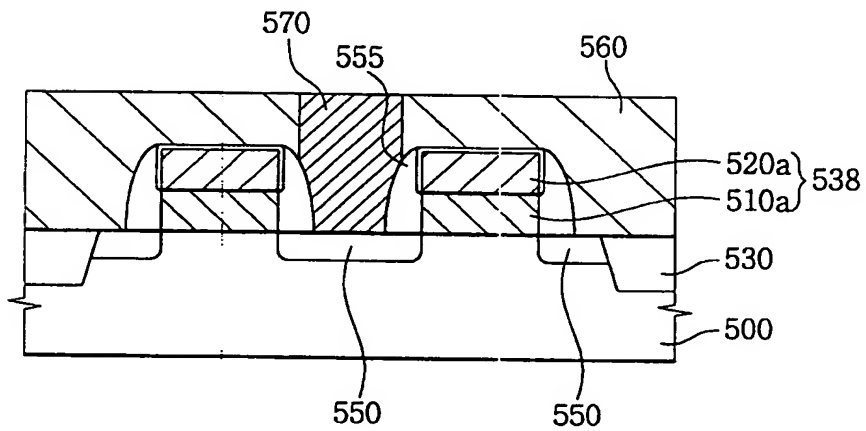
【도 5e】



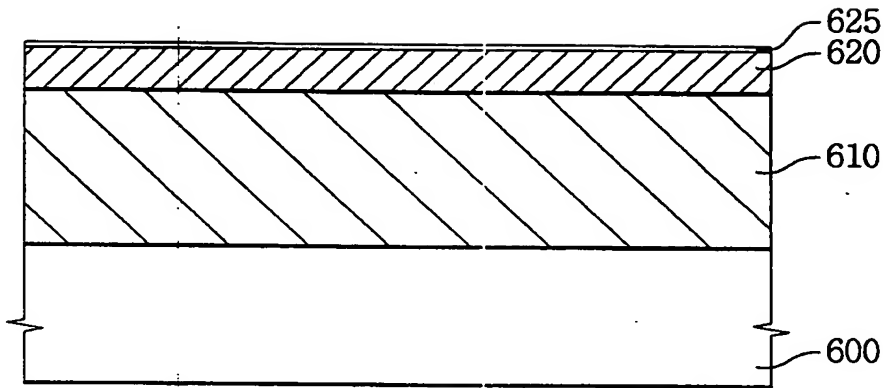
【도 5f】



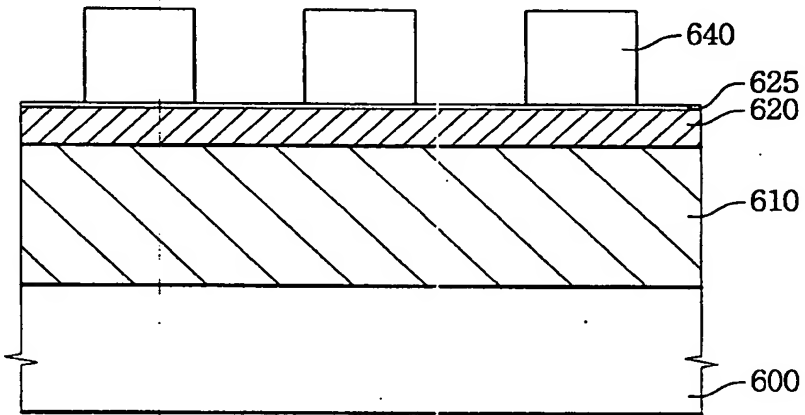
【도 5g】



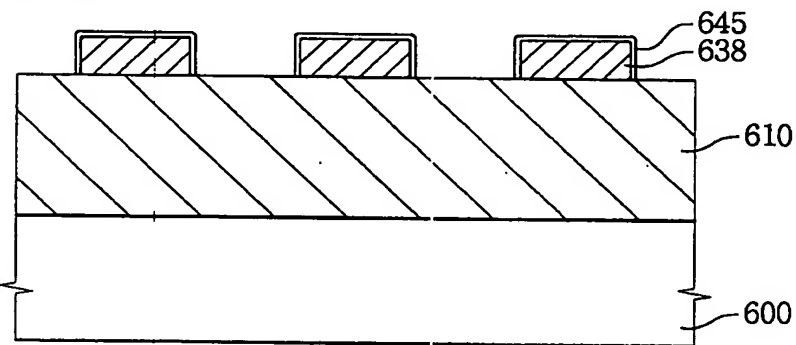
【도 6a】



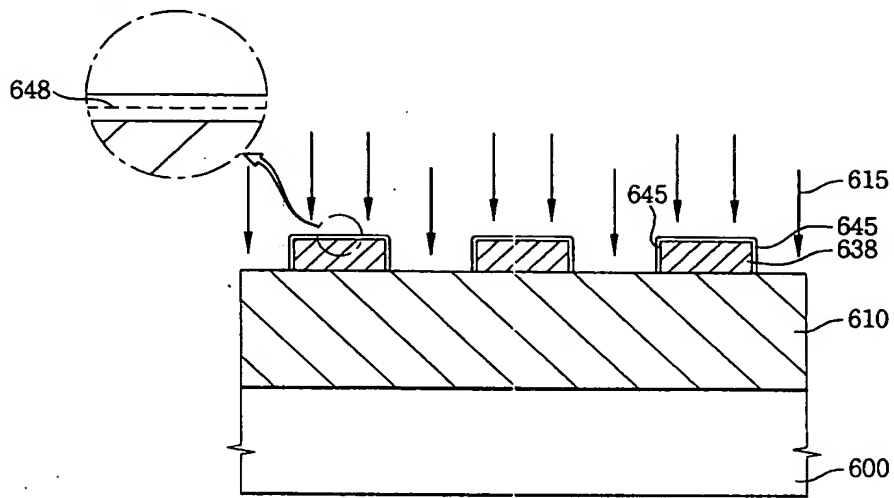
【도 6b】



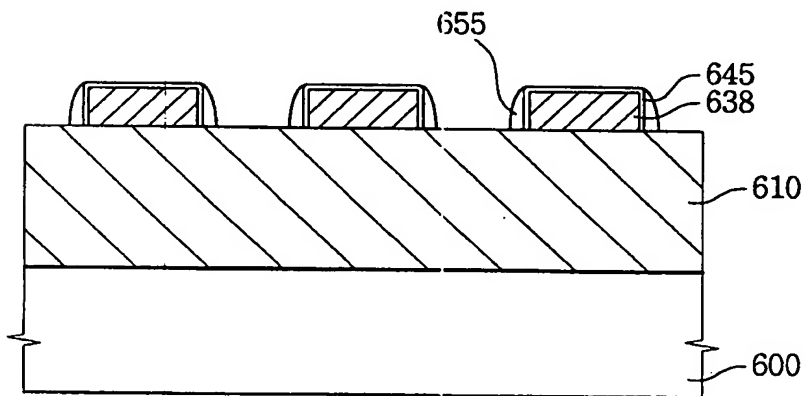
【도 6c】



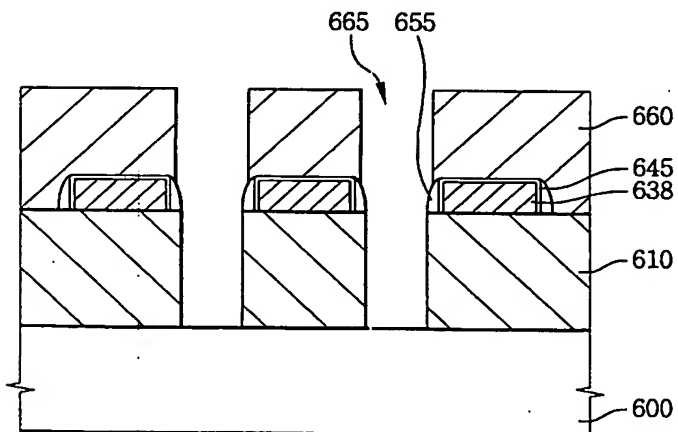
【도 6d】



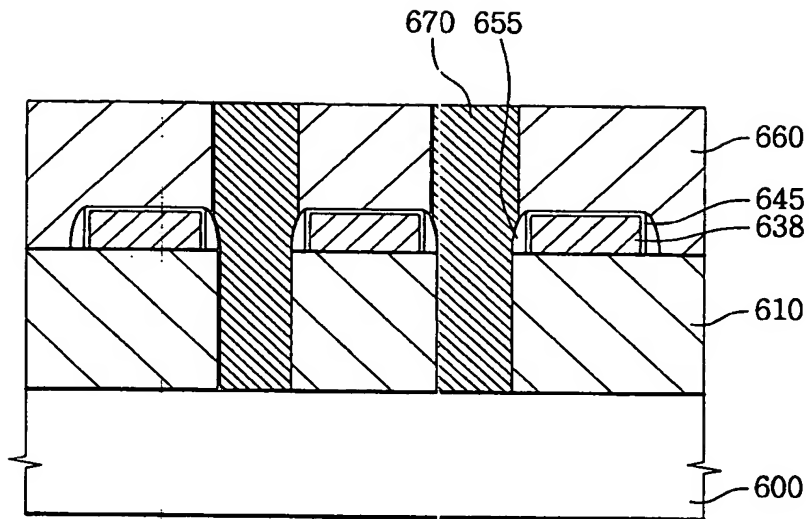
【도 6e】



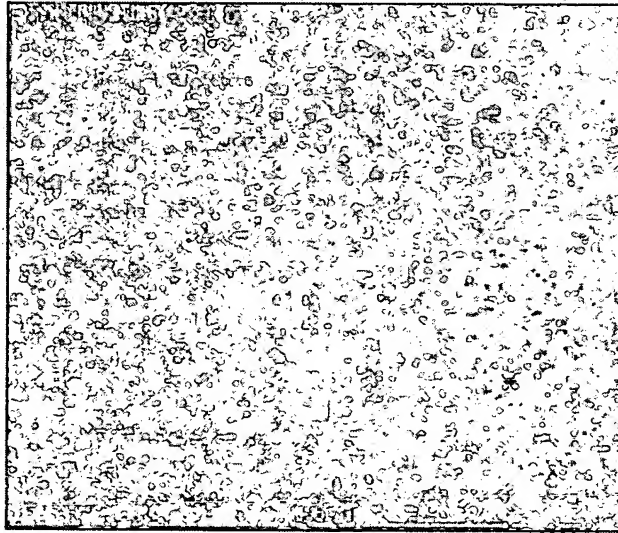
【도 6f】



【도 6g】



【도 7a】



【도 7b】

